



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07142867 A**(43) Date of publication of application: **02 . 06 . 95**

(51) Int. Cl.

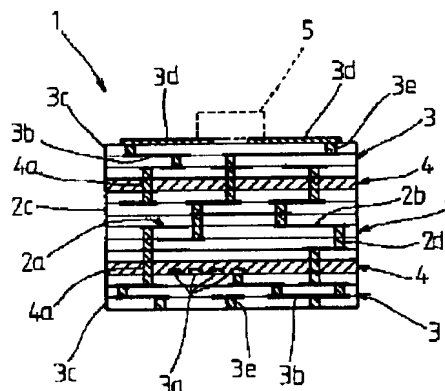
H05K 3/46(21) Application number: **05285197**(71) Applicant: **MURATA MFG CO LTD**(22) Date of filing: **15 . 11 . 93**(72) Inventor: **NAKAJIMA NORIO
BANDAI HARUFUMI****(54) MANUFACTURE OF MULTILAYER SUBSTRATE**

(57) Abstract:

PURPOSE: To provide a small multilayer substrate that has a high connection density, and is capable of incorporating a capacitor and inductors.

CONSTITUTION: A ceramic multilayer substrate 2 incorporates a capacitor 2a and a wiring pattern 2b, and has viaholes 2d exposed at its front and rear sides. Resin multilayer substrates 3, 3 incorporate inductors 3a and a wiring pattern 3b, and has viaholes 3e exposed at its front and rear sides. The resin multilayer substrates 3, 3 are bonded to the front and rear surfaces of the ceramic multilayer substrate 2 with a layer of prepreg 4, 4 having viaholes 4a in between. The viaholes 2d in the ceramic substrate 2 are electrically connected with those 3e in the resin multilayer substrates 3, 3 through those 4a in the prepreg layers 4, 4.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-142867

(43)公開日 平成7年(1995)6月2日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	L	6921-4E		
	N	6921-4E		
	Q	6921-4E		

審査請求 未請求 請求項の数3 O L (全 4 頁)

(21)出願番号 特願平5-285197

(22)出願日 平成5年(1993)11月15日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 中島 規巨

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72)発明者 萬代 治文

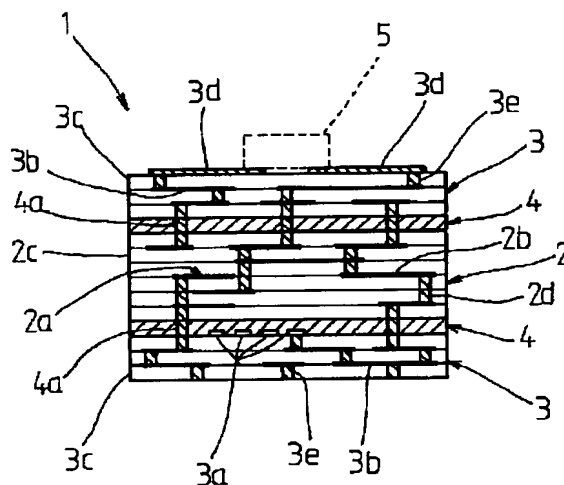
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54)【発明の名称】 多層基板及びその製造方法

(57)【要約】

【目的】 小型で結線密度が高くコンデンサ及びインダクタの内蔵が可能な多層基板を提供する。

【構成】 コンデンサ2 a及び配線パターン2 bを内蔵し、表裏面にビアホール2 dが露出したセラミック多層基板2と、セラミック多層基板2の両面に、ビアホール4 aを有するプリプレグ4、4を介して、インダクタ3 a及び配線パターン3 bを有し、表裏面にビアホール3 eが露出した樹脂多層基板3、3とを接合してなり、セラミック多層基板2のビアホール2 dと樹脂多層基板3、3のビアホール3 eとが、プリプレグ4、4のビアホール4 aを介して電気的に接続されたことを特徴とするものである。



1

【特許請求の範囲】

【請求項 1】回路素子又は配線パターンを内蔵し、表裏面にビアホールが露出したセラミック多層基板と、該セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグを介して、回路素子又は配線パターンを有し、表裏面にビアホールが露出した樹脂多層基板とを接合してなり、前記セラミック多層基板のビアホールと樹脂多層基板のビアホールとが、前記プリプレグのビアホールを介して電氣的に接続されたことを特徴とする多層基板。

【請求項 2】セラミック基板に回路素子又は配線パターン及びビアホールを形成し、該セラミック基板を複数積層して表面に前記ビアホールが露出したセラミック多層基板を得る工程と、回路素子又は配線パターン及びビアホールを形成した樹脂基板を得る工程と、前記セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグと、複数の前記樹脂基板を積層し、高温で一体に接合したことを特徴とする多層基板の製造方法。

【請求項 3】前記樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填したことを特徴とする請求項 2 記載の多層基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、回路素子等を内蔵した多層基板及びその製造方法に関し、セラミック多層基板と樹脂多層基板の組合せに関するものである。

【0002】

【従来の技術】従来の多層基板は、図 4 に示すように、セラミック基板 11 にビアホール 11a をプレス等で形成し、例えば、銅からなるビアホール電極 11b、配線パターン 11c 及びコンデンサ 11d 用の電極 11e をスクリーン印刷により形成する。その後、セラミック基板 11 を複数枚積層し一体焼成した後、側面に外部電極 11f を形成し、配線パターン 11c 及びコンデンサ 11d を内蔵したセラミック多層基板 12 を構成している。

【0003】また、図 5 に示すように、銅張り樹脂基板 13 に、エッチングによりインダクタ 13a 及び配線パターン（図示せず）を形成した後、複数枚積層接合し積層体 13b を形成する。そして、ドリル等によりビアホール 13c を形成し、ビアホール 13c の内壁をメッキ等により電極とし、ビアホール 13c を介してインダクタ 13a や配線パターン間を接続する。さらに、積層体 13b の側面に、外部電極 13d を形成し、配線パターンを内蔵した樹脂多層基板 14 を構成している。

【0004】

【発明が解決しようとする課題】ところが、上記従来例の多層基板において、セラミック多層基板 12 では、配線パターン 11c をスクリーン印刷により形成しているため、電極のライン幅及び線間は、ともに 75 μ m 以下

2

にすることが困難で、高密度の配線ができず結線密度が劣っていた。また、樹脂多層基板 14 では、誘電率が低くかつ板厚を薄くできないためコンデンサを形成することができなかった。さらに、ビアホールの形成をドリル等で行うため、ビアホール径が大きくなり、ビアホール密度を高めることができず小型化が困難であった。そのため、配線長が長くなり信号の伝播遅延が大きくなっていた。

【0005】本発明は、このような問題を解消するためになされたものであり、セラミック多層基板と樹脂多層基板を接合し一体化することにより、小型で結線密度が高く、コンデンサ及びインダクタの内蔵が可能なる多層基板及びその製造方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】上記の目的を達成するために、本発明においては、回路素子又は配線パターンを内蔵し、表裏面にビアホールが露出したセラミック多層基板と、該セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグを介して、回路素子又は配線パターンを有し、表裏面にビアホールが露出した樹脂多層基板とを接合してなり、前記セラミック多層基板のビアホールと樹脂多層基板のビアホールとが、前記プリプレグのビアホールを介して電氣的に接続されたことを特徴とするものである。

【0007】また、セラミック基板に回路素子又は配線パターン及びビアホールを形成し、該セラミック基板を複数積層して表面に前記ビアホールが露出したセラミック多層基板を得る工程と、回路素子又は配線パターン及びビアホールを形成した樹脂基板を得る工程と、前記セラミック多層基板の片面若しくは両面に、ビアホールを有するプリプレグと、複数の前記樹脂基板を積層し、高温で一体に接合したことを特徴とするものである。

【0008】また、前記樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填したことを特徴とするものである。

【0009】

【作用】上記の構成によれば、セラミック多層基板と樹脂多層基板を一体に接合することにより、セラミック多層基板の部分で、コンデンサの形成とビアホール密度を高めることができ、樹脂多層基板の部分で、ファインラインの形成とクロストークノイズの低減により結線密度を高めることができる。

【0010】また、セラミック多層基板及び樹脂多層基板の表裏面にビアホールが露出しているため、プリプレグによりセラミック多層基板と樹脂多層基板を接合することで、セラミック多層基板の回路素子又は配線パターンと、樹脂多層基板の回路素子又は配線パターンとが、プリプレグのビアホールを介して電氣的に接続することができる。

10

20

30

40

50

3

【0011】また、樹脂多層基板を構成する樹脂基板及びプリプレグのビアホール内に、はんだペーストを充填することにより、セラミック多層基板と複数の樹脂基板をプリプレグにより接合する際の熱ではんだペーストが溶融し、それぞれのビアホールが接続される。

【0012】

【実施例】以下、本発明による多層基板及びその製造方法の実施例を図面を用いて説明する。図1及び図2に示すように、多層基板1は、コンデンサ2a及び配線パターン2bを内蔵したセラミック多層基板2の表裏両面に、インダクタ3a又は配線パターン3bを形成した樹脂多層基板3、3を、ビアホール4aを有したプリプレグ4、4により接合し構成したものである。

【0013】このうち、セラミック多層基板2は、セラミック基板2cを積層したものであり、内部にコンデンサ2a及び配線パターン2bを形成し、コンデンサ2aや配線パターン2b間をビアホール2dにより接続している。なお、ビアホール2dは、その内部に銅等の電極を充填し、セラミック多層基板2の表裏面に露出している。

【0014】また、樹脂多層基板3、3は、樹脂基板3cを積層したもので、内部に配線パターン3bを形成し、上層部の樹脂多層基板3の表面には電子部品5を搭載するための接続パターン3dを形成し、下層部の樹脂多層基板3の表面にはインダクタ3aを形成するとともに、インダクタ3aと配線パターン3b間及び配線パターン3bと接続パターン3d間をビアホール3eにより接続したものである。なお、ビアホール3eにははんだが充填され、下層部の樹脂多層基板3の底面に露出したビアホール3eは、ボールグリッドアレイとして外部電極を兼ねることができる。

【0015】次に、多層基板1の製造方法を説明する。まず、セラミック基板2cのグリーンシート状態で上下に貫通するビアホール2dをプレス等により形成し、例えば、銅からなる電極を、スクリーン印刷によりビアホール2d内に充填するとともに、配線パターン2b及びコンデンサ2a用の電極を形成し、複数枚積層後一体焼成してセラミック多層基板2を得る。

【0016】次に、銅箔が取り付けられた樹脂基板にビアホール3eを形成し、エッチングにより、インダクタ3a、配線パターン3b及び接続パターン3d等を形成した後、ビアホール3e内にはんだペーストを充填して樹脂基板3cを得る。この樹脂基板3cは、後に積層して樹脂多層基板3を構成するものである。

【0017】また、プリプレグ4は、樹脂シートにビアホール4aを形成した後、ビアホール4a内にはんだペーストを充填して得るものである。

【0018】そして、セラミック多層基板2の表裏面に、ビアホール4aが形成されたプリプレグ4、4を介

4

して、複数の樹脂基板3cを積層し、170℃、30Kgf/cm²の圧力で約30分間プレスし、セラミック多層基板2と樹脂基板3cを接合する。このとき、樹脂基板3cの各層が接合し樹脂多層基板3、3を形成する。また、樹脂基板3cのビアホール3e及びプリプレグ4、4のビアホール4a内のはんだペーストが溶融し、各樹脂基板3cのインダクタ3a、配線パターン3b、及び接続パターン3dが接続するとともに、セラミック多層基板2のビアホール2dと樹脂多層基板3、3のビアホール3eが、プリプレグ4、4のビアホール4aを介して接続する。

【0019】このように構成した多層基板1は、セラミック多層基板2の部分でコンデンサ2aを形成することができ、また、ビアホール密度を高めることができるため、信号の伝播遅延が短縮できる。一方、樹脂多層基板3、3の部分では、エッチングにより配線パターン3bを形成するため、ライン幅及び線間を20μm程度にできる。そのため、ファインラインが形成できるとともに、誘電率が低くクロストークノイズを低減することができるため、結線密度を高めることができる。また、配線パターン3bの銅の厚みを厚くできるため、Q値の高いインダクタを形成することができる。

【0020】なお、樹脂多層基板は、セラミック多層基板の片面に接合したものでもよく、図3に示すように、側面に外部電極6aを形成したセラミック多層基板6の上面に、プリプレグ7を介して樹脂多層基板8を接合した、多層基板9を構成することができる。

【0021】

【発明の効果】以上説明したように、本発明にかかる多層基板によれば、セラミック多層基板と樹脂多層基板を一体に接合したため、ビアホール密度が高くなるとともに、クロストークノイズの低減により高密度な配線が可能となるため、信号の伝播遅延が短縮でき小型化が可能となる。また、コンデンサ及びインダクタを内蔵することができる等高機能な多層基板を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による多層基板の断面図である。

【図2】図1の分解斜視図である。

【図3】本発明の第二の実施例の断面図である。

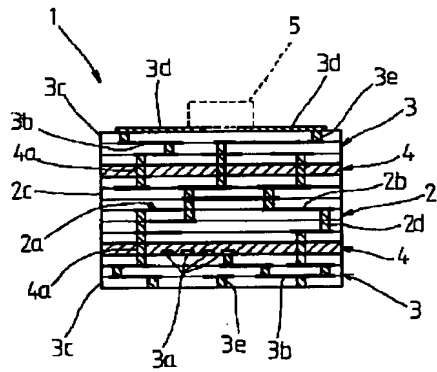
【図4】第一の従来が多層基板の断面図である。

【図5】第二の従来が多層基板の斜視図である。

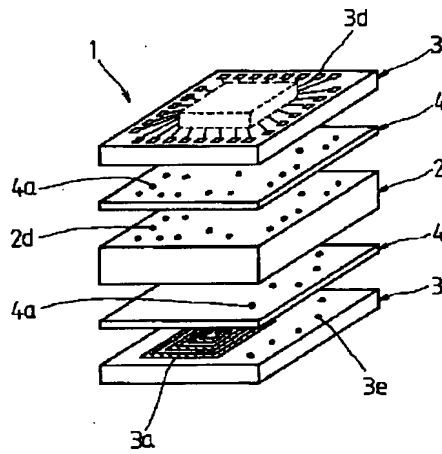
【符号の説明】

1	多層基板
2	セラミック多層基板
2b、3b	配線パターン
2d、3e、4a	ビアホール
3	樹脂多層基板
4	プリプレグ

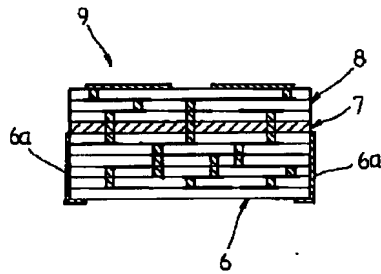
【図 1】



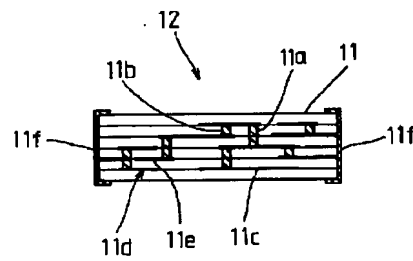
【図 2】



【図 3】



【図 4】



【図 5】

